

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-048757
 (43)Date of publication of application : 19.02.1990

(51)Int.CI. G06F 13/00
 G06F 13/28

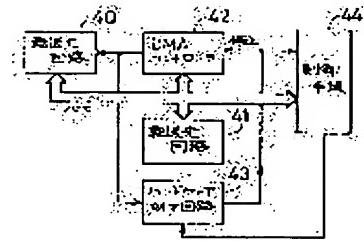
(21)Application number : 63-199585 (71)Applicant : FUJITSU LTD
 (22)Date of filing : 10.08.1988 (72)Inventor : NAGAO KATSUYUKI
 MAEDA KEIZO

(54) DATA COMMUNICATION SYSTEM

(57)Abstract:

PURPOSE: To surely stop a DMAC so that restoring processing can be performed without delay even in the case of high speed transfer or in the case when a bus was not released by stopping the DMAC forcedly by detecting that DMA transfer is not performed within a time constant period.

CONSTITUTION: A hardware timer circuit 43 is operated at every DMA transfer period by using a fact that a DMA (Direct Memory Access) response from a DMA controller (DMAC) 42 corresponds to the actual DMA transfer. When the DMA transfer is not performed within a time constant, the DMAC 42 is stopped forcedly, and the DMAC 42 and the hardware timer circuit 43 are initialized. Thus, since time supervision is performed regardless of a CPU cycle, the time supervision can be surely performed so that the DMAC can be stopped even in the case of the high speed transfer with no CPU cycle and in the case when the DMAC 42 does not release the bus for some reason, and besides, the CPU cycle need not be strictly supervised, and the restoring processing can be performed without delay.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

⑫ 公開特許公報 (A) 平2-48757

⑤ Int. Cl. 5

G 06 F 13/00
13/28

識別記号

3 0 1
3 1 0

府内整理番号

B
D

⑩ 公開

平成2年(1990)2月19日

審査請求 未請求 請求項の数 1 (全7頁)

⑥ 発明の名称 データ通信方式

⑦ 特願 昭63-199585

⑧ 出願 昭63(1988)8月10日

⑨ 発明者 長尾 勝行 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑩ 発明者 前田 啓三 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑪ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑫ 代理人 弁理士 伊東 忠彦 外2名

明細書

通信処理を行なうよう制御する制御手段(44)とを設けてなることを特徴とするデータ通信方式。

1. 発明の名称

データ通信方式

3. 発明の詳細な説明

2. 特許請求の範囲

データを所定周期でDMA(Direct Memory Access)転送によって転送元回路(40)から転送先回路(41)へ転送する制御を行なうDMAコントローラ(42)を設けられたデータ通信方式において、

上記DMA転送周期毎に起動し、上記DMA転送周期よりも長い時定数を設定されており、該時定数期間内に上記DMA転送がなされないとこれを検出して上記DMAコントローラ(42)を強制的に停止するハードウェアタイマ回路(43)と、

該ハードウェアタイマ回路(43)による該検出により上記DMAコントローラ(42)及び該ハードウェアタイマ回路(43)を初期化して再

(概要)

DMAによって転送元から転送先へデータ転送を行なうデータ通信方式に関し、

転送するデータがDMAコントローラ(DMAC)に予め設定されているデータ語長より短くDMACが動作完結しない場合、特に高速転送においても確実にDMACを停止させることを目的とし、

DMA転送周期毎に起動し、DMA転送周期よりも長い時定数を設定されており、該時定数期間内にDMA転送がなされないとこれを検出してDMACを強制的に停止するハードウェアタイマ回路と、該検出によりDMACコントローラ及びハードウェアタイマ回路を初期化して再通信処理を行なうよう制御する制御手段とを設けた構成と

する。

(産業上の利用分野)

本発明は、DMAによって転送元から転送先へデータ転送を行なうデータ通信方式に関する。

従来、マイクロコンピュータを用いたデータ通信システムには通信専用LSIが使用されることが多く、特に、高速のデータ通信においてCPUの処理時間が不足する場合や、個々のデータ転送に伴うCPUの処理を軽減する場合等、DMA転送を使用する必要がある。この場合、DMAコントローラを用いて通信専用LSIとRAM(バッファメモリ)との間でCPUを介さずにDMA転送を行ない、CPUはDMA転送によるデータ通信終了後に通信データに一括処理を行なう。これにより、データ通信中はCPUは通信処理を行なう必要がなく、CPUの負荷が軽減される。

DMA転送は上記のようにCPUを介さずして(つまり、ハードウェア的に)転送元から転送先へデータ転送を行なうもので、前述のように、C

この場合、一般に、DMAC1は内部に転送データ語長カウンタ、メモリ/IOアクセス用インターフェース、FIFOバッファ(先入れ先出しバッファ等)を備えたハードウェアロジックを内蔵されており、CPU7により指定された転送データ語長(例えば10バイト等)に応じて動作する。

このようにDMAC1は予め設定されたデータ語長の転送を行なうだけであるから、データ語長が予め把握できている送信時(RAM2から通信LDI3を介して外部通信回線4へデータ送信)は特に問題ないが、データ語長がわからない外部通信回線4からのデータ受信時は使用できない。即ち、通信回線4上の誤動作等によって実際の受信データ語長がDMAC1に予め設定されたデータ語長より短くなった場合、受信データが全て終わってもDMAC1は処理待機状態のままでDMA転送が終結せず、従って、バスが解放されず、CPUでのデータ処理がいつまでも開始できず、システムはテッドロックしてしまう問題を生じる。

PUの処理軽減を目的とする通信システムに必要とされる。

(従来の技術)

第5図は従来方式の一例のブロック図を示す。同図において、DMAC1の制御により、RAM(バッファメモリ)2と通信LSI3との間でDMA転送が行なわれ、例えばRAM2からのデータが通信LSI3を介して外部通信回路4に送信されたり、一方、外部通信回路4からのデータが通信LSI3にて受信されてRAM2に組込まれたりする。このとき、DMAC1で指定されたアドレスに応じてデータバス5においてデータ転送が行なわれる。このようにDMAC1が動作している時はDMAC1はデータバス5及びアドレスバス6のバス使用権を与えられており、この場合はCPU7は待機状態となっている。DMA転送が終了すれば、DMAC1からの割込みによってCPU7は待機状態から動作状態に移り、CPU7は通信データの一括処理を行なう。

そこで従来は、DMA転送1バイトと次のDMA転送1バイトとの間の期間(CPUサイクル)においてCPU7のソフトウェアタイマを動作させて時間監視を行ない、所定タイミングにDMA転送が行なわれなくなった(タイムアウト)時にDMAC1にリセット命令を発してDMAC1を停止させる。このようにすれば、DMAC1はバスを解放し、CPU7でデータ処理が行なわれ、システムはテッドロックすることはない。

(発明が解決しようとする課題)

このようにCPUサイクルでCPU7のソフトウェアタイマを動作させて時間監視を行なう方式は、高速転送の場合等データ転送間隔が短かい場合にはCPUサイクルがなくなるので、ソフトウェアタイマが稼動できなくなり、DMAC1を停止させることができない問題点があった。又、DMA転送が終結しても何らかの原因でDMAC1がバスを解放しなかった場合もCPUサイクルがなくなるので、上記と同様にDMAC1を停止で

きない問題点があった。

更に、この方式は、DMA転送期間待ってからCPU処理を行なうものであるので、CPUサイクルを厳密に監視しなければならないシステムや復旧処理等に対して早急に対応しなければならないシステムには不適当である問題点があった。

本発明は、転送するデータがDMACに予め設定されているデータ語長より短くDMACが動作完結しない場合、特に高速転送においても確実にDMACを停止させてCPUでデータ処理を行なえるようにするデータ通信方式を提供することを目的とする。

(課題を解決するための手段)

第1図は本発明の原理ブロック図を示す。同図中、42はDMACで、データを所定周期でDMA転送によって転送元回路40から転送先回路41へ転送する制御を行なう。43はハードウェアタイマ回路で、DMA転送周期毎に起動し、DMA転送周期よりも長い時定数を設定されており、

急に行ない得る。

(実施例)

第2図は本発明方式の一実施例のブロック図、第3図は第2図中CPUの動作フローチャート、第4図はタイムアウト検出タイムチャートを夫々示す。ここでは、高速GPIB (General purpose interface bus) 通信に適用した実施例を示す。

第2図中、10はDMAコントローラ(DMAC)で、例えば10バイト等のデータ語長がCPU13によって予め設定されており、DMA転送時、RAM(バッファメモリ)11と通信LSIであるGPIBコントローラ12との間のデータ転送を制御する。CPU13は、第3図に示すフローチャートに従ってシステム全体の制御を行なう。14はリトリガブル・モノマルチ(再トリガ・ワンショットマルチバイブレータ)DMAC10の1バイトずつのDMA応答のタイミングから所定時定数期間内にトリガが入らなければ検出

該時定数期間内にDMA転送がなされないとさこれを検出してDMAC42を強制的に停止する。44は制御手段で、ハードウェアタイマ回路43による検出によりDMAC42及びハードウェアタイマ回路43を初期化して再通信処理を行なうよう制御する。

(作用)

本発明では、DMAC42からのDMA応答が実際のDMA転送に対応することを利用し、DMA転送周期毎にハードウェアタイマ回路43を作動させる。時定数内にDMA転送がなされなければDMAC42を強制的に停止させ、DMAC42及びハードウェアタイマ回路43を初期化する。このように、CPUサイクルに關係なく時間監視を行なっているので、CPUサイクルがない高速転送の場合及び何らかの原因でDMAC42がバスを解放しなかった場合でも確実に時間監視できてDMACを停止でき、又、CPUサイクルを厳密に監視する必要はなく、又、復旧処理を早

出力を取出す構成とされている。15はフリップフロップで、リトリガブル・モノマルチ14の検出出力でタイムアウト割込信号を出力する。

次に本発明の動作について第2図乃至第4図と共に説明する。

第2図において、CPU13は通信LSIであるGPIBコントローラ12及びDMAC10を夫々初期化し(第3図ステップ20)、次に、フリップフロップ15をリセットオンし(ステップ21)、続いて、受信データ数に対応したデータ語長をDMAC10にセットする(ステップ22)。次に、フリップフロップ15をリセットオフにし(ステップ23)、DMAC10を起動し(ステップ24)、システムをデータデータ受信状態とする。この状態において、GPIBコントローラ12は1バイトずつDMA要求(第4図(A))を出力するとDMAC10はDMA応答(第4図(B))を行ない、外部GPIB通信回線16から入力されたデータはGPIBコントローラ12で受信され、DMAC10の制御によってGPI

Bコントローラ12とRAM11との間で1バイトずつDMAデータ転送が（第4図（C））が行なわれる。このとき、DMAC10で指定されたアドレスに応じてデータバス5においてデータ転送が行なわれる。

この場合、DMAC10のDMA応答（第4図（B））はリトリガブル・モノマルチ14のトリガ端子に供給され、DMA転送周期よりも長く設定されている時定数期間内に再トリガが供給されるとそのタイミングから再び時定数期間を更新していく。このようにして正常にDMA転送（第4図（C））が行なわれている限りでは、リトリガブル・モノマルチ14の出力はLレベルのままであり（第4図（D））、フリップフロップ15の出力もLレベルのままである（第4図（E））。このようにしてDMA転送が正常に行なわれ、10バイトのDMA転送が全て終了すると、DMAC10は終了割込をCPU13にかけ、CPU13は割込プログラムで割込種別を判断し（第3図ステップ25）、この場合は正常の終了割込で

4図（D）、これにより、フリップフロップ15の出力はHレベルとなり、タイムアウト割込信号としてCPU13に供給される一方、強制停止信号としてDMAC10に供給される。

DMAC10はフリップフロップ15からの強制停止信号によって強制的に停止され、一方、CPU13はフリップフロップ15からのタイムアウト割込信号によって割込みがかけられる。CPU13は割込種別を判断し（第3図ステップ25）、この場合はタイムアウト割込みであるのでDMA10を初期化し（ステップ31）、タイムアウトフラグを設定し（ステップ32）、リターンとなる。次に、メインプログラムで割込入力を判断し（ステップ27）、続いてフリップフロップ15をリセットオン（第4図（F）のLレベル）にし（ステップ28）、これにより、フリップフロップ15の出力はLレベルとなる（第4図（E））。

次に、終了種別を判断し（ステップ29）、この場合はタイムアウト終了であるので再通信処理

があるので終了フラグを設定し（ステップ26）、リターンとなる。

次に、メインプログラムで割込入力があった（正常の終了割込）ことが判断され（ステップ27）、フリップフロップ15をリセットオンにし（ステップ28）、終了種別が判断され（ステップ29）、この場合は正常終了であるので受信データの処理が行なわれる（ステップ30）。

ここで、外部GP1B通信回線16上の誤動作等によって受信データの語長がDMAC10に設定されているデータ語長より短くなった場合、DMAC10に設定されている10バイトに達する前に受信データが終了し、第4図（A）、（B）に示すようにDMA要求及びDMA応答が途中から行なわれなくなり、DMA転送（第4図（C））も行なわれなくなる。DMAC10からDMA応答（第4図（B））がなくなると、リトリガブル・モノマルチ14の時定数期間は終了し（第4図（D））、この終了タイミングでリトリガブル・モノマルチ14の出力はHレベルになり（第

動作に入り（ステップ33）、再びステップ22からの動作を繰返す。このようにDMAC10に設定されているデータ語長に達しない前に受信データが終了しても、DMAC10は確実に停止されてバスが解放され、その後にCPU13によって受信データ処理が確実に行なわれる。しかもこの場合、従来装置のようにCPUサイクルでCPUのソフトウェアタイマで時間監視を行なっているのではなく、リトリガブル・モノマルチ14及びフリップフロップ15のようなハードウェアを用いてCPUサイクルに関係なく時間監視を行なっているので、CPUサイクルがない高速転送の場合及び何らかの原因でDMACがバスを解放しなかった場合でも確実に時間監視でき、又、CPUサイクルを厳密に監視しなければならないシステムや復旧処理を早急に行なわなければならないシステムにも適用できる。

次に、受信データがあるにも拘らず何らかの原因でDMA要求、DMA応答が行なわれなかつた場合について説明する。DMAC10からDMA

応答がないとリトリガブル・モノマルチ14の出力はHレベルのままであり、フリップフロップ15によるタイムアウト割込みが発生しなくなる。そこで、CPU13は割込入力がないことを判断し(第3図ステップ27)、この時点からCPU13のソフトウェアタイマを稼動させ、所定時間経過(タイムアウト)したことを判断し(ステップ34)、実質上フリップフロップ15からのタイムアウト割込みが発生したと同じようにDMA10を強制的に停止する。次に、タイムアウトフラグを設定し(ステップ35)、フリップフロップをリセットオンにする(ステップ28)。このように、DMA10からDMA応答がなかった場合も確実にDMA10を停止するので、デッドロックを防止することができる。

(発明の効果)

以上説明した如く、本発明によれば、例えば通信回線上の誤動作等によって実際の受信データ語長がDMA10に設定されているデータ語長より短

くDMAが動作完結しない場合、CPUサイクルに関係なく時間監視を行なっているのでCPUサイクルのない高速転送の場合及びDMAがバスを解放しなかった場合でも確実にDMAを停止でき、デッドロックを防止でき、又、CPUサイクルを厳密に監視する必要はなく、又、復旧処理を早急に行ない得る。

4. 図面の簡単な説明

第1図は本発明の原理ブロック図、
第2図は本発明方式の一実施例のブロック図、
第3図はCPUの動作フローチャート、
第4図は本発明におけるタイムアウト検出タイムチャート、
第5図は従来方式の一例のブロック図である。

図において、

10, 42はDMAコントローラ(DMAC)、
11はRAM(バッファメモリ)、
12はGPIOBコントローラ、

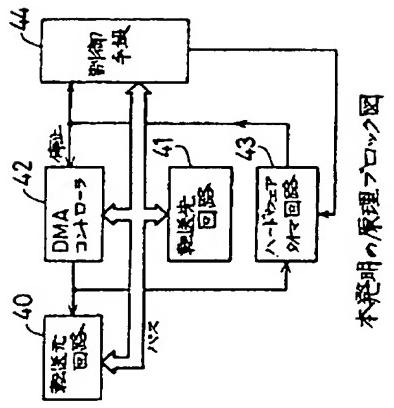
13はCPU、
14はリトリガブル・モノマルチ、
15はフリップフロップ、
16はGPIOB通信回路、
40は転送元回路、
41は転送先回路、
43はハードウェアタイマ回路、
44は制御手段
である。

特許出願人 富士通株式会社

代理人 弁理士 伊東忠彦 
 同 代理人 松浦兼行 
 同 代理人 片山修平 

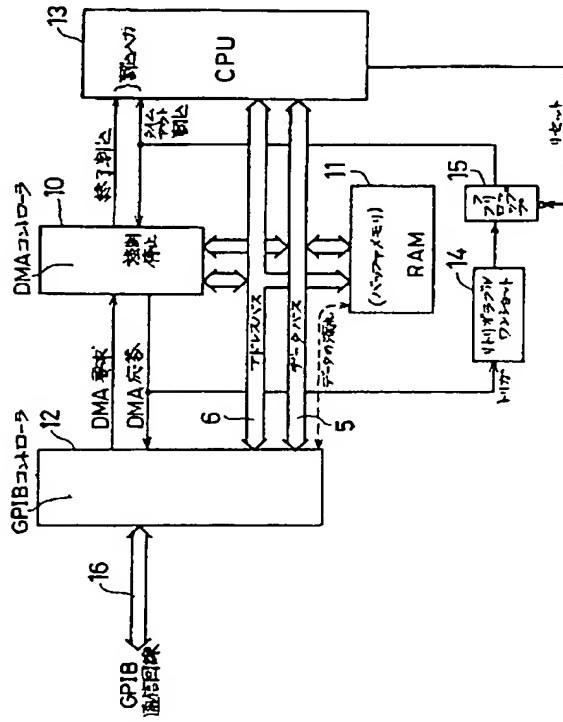
BEST AVAILABLE COPY

特開平2-48757 (6)



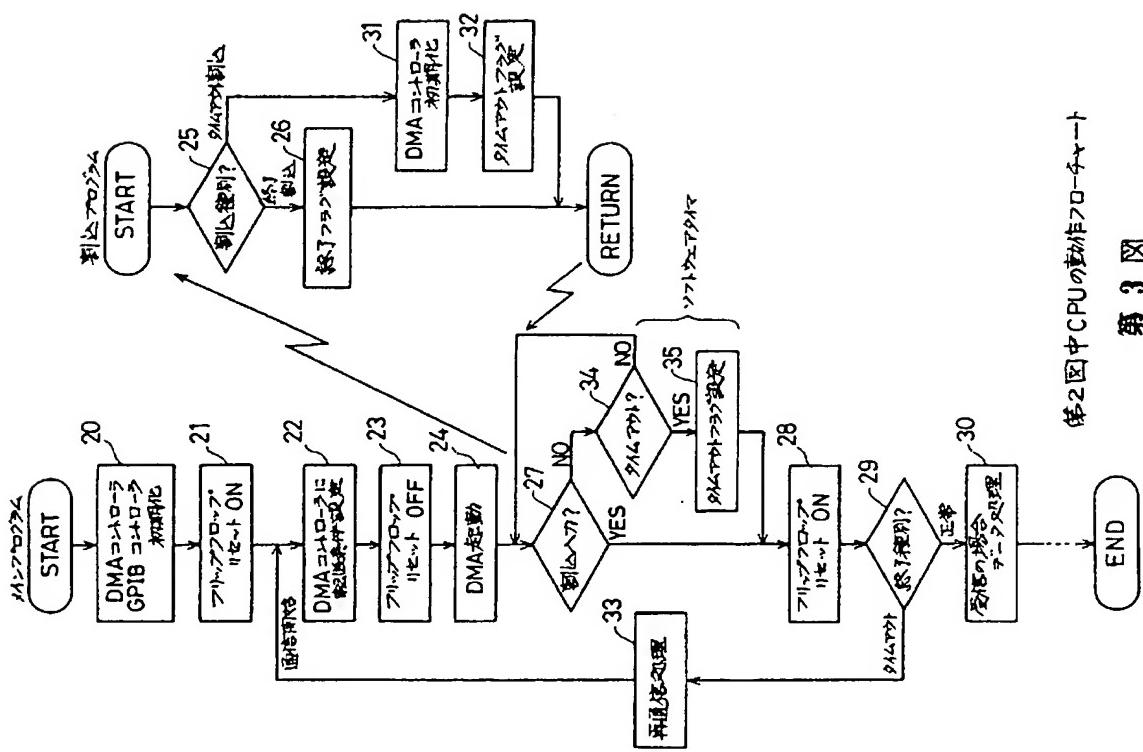
本透明の原理ブロック図

第1図



本透明方式の一実施例のブロック図

第2図

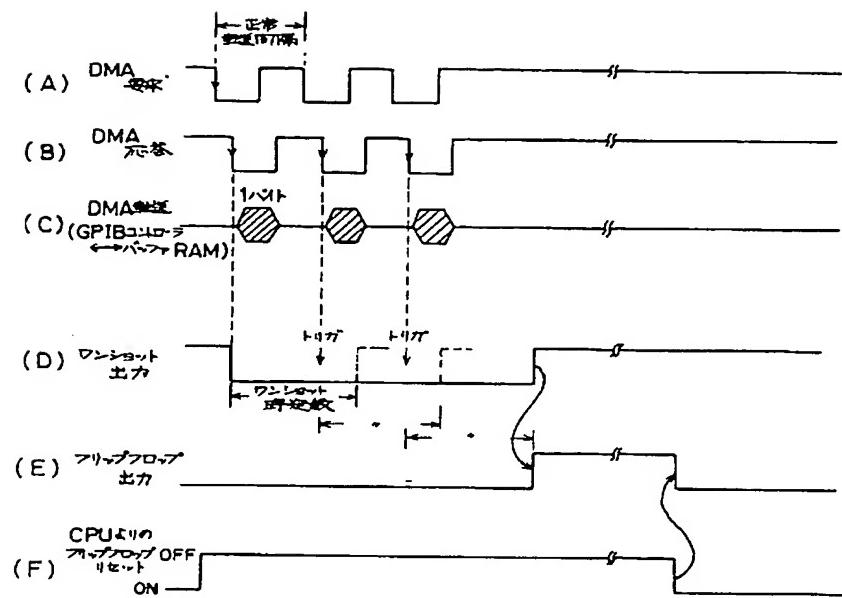


第2図中CPUの動作フロー図

第3図

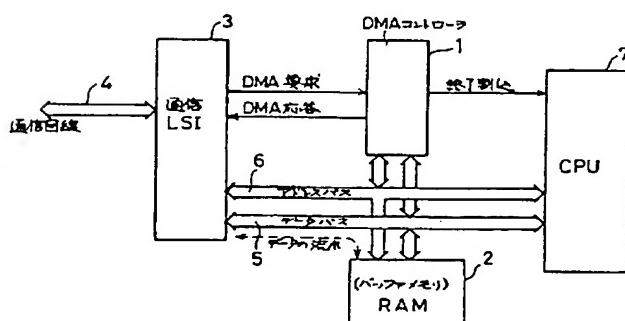
BEST AVAILABLE COPY

特開平2-48757(7)



本発明におけるタイムアウト検出タイミング

第4図



従来方式の一例のブロック図

第5図